

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE



KOREAN PATENT ABSTRACTS

(11) Publication

20010095537 A

number:

(43) Date of publication of application:

07.11.2001

(21) Application number: 20000018672

(71) Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(22) Date of filing: 10.04.2000

(72) Inventor:

KIM, GYU HYEON
LEE, JEONG BAE

(51) Int. Cl

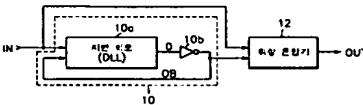
H03K 5/13

(54) METHOD AND CIRCUIT FOR DUTY CYCLE CORRECTION

(57) Abstract:

PURPOSE: A method and a circuit for duty cycle correction are provided to prevent a duty cycle error.

CONSTITUTION: The circuit comprises an inversion delay circuit(10) and a phase mixer(12). The inversion delay circuit receives an input signal(IN) and outputs an output signal(OB) by inverting and delaying the received input signal. The phase mixer generates an output signal(OUT) whose duty cycle is corrected by mixing a phase of the input signal and a phase of the output signal(OB). The output signal of the phase mixer rises at a middle point between a rising edge of the input signal and a rising edge of the output signal(OB) of the inversion delay circuit, and falls at a middle point between a falling edge of the input signal and a falling edge of the output signal(OB) of the inversion delay circuit. The inversion delay circuit comprises a delay circuit(10a) delaying the input signal and an inversion circuit(10b) inverting the delayed input signal.



&copy; KIPO 2002

Legal Status

Date of request for an examination (20000410)

Final disposal of an application (registration)

Date of final disposal of an application (20020926)

Patent registration number (1003604030000)

Date of registration (20021028)



2001 0005537

(19) 대한민국(국적)(KR)
(12) 공개특허등록(A)

(51) Int. Cl.
H03K 5/13

(11) 공개번호 특2001-0005537
(43) 공개일자 2001년11월07일

(21) 출원번호 10-2000-0018672
(22) 출원일자 2000년04월10일
(71) 출원인 삼성전자 주식회사 윤종용
경기 수원시 팔달구 매단3동 416
(72) 발명자 김규현
경기도 수원시 팔달구 영통동 벽적골 한신아파트 811동 606호
이정배
(74) 대리인 경기도 수원시 팔달구 영통동 청명주공아파트 407동 1001호
이영필, 정상빈, 미래호

설명과 그림

(54) 듀티 사이클 보정회로 및 방법

요약

듀티 사이클 예러를 방지할 수 있으며 정확히 50% 듀티 사이클을 갖는 출력신호를 발생할 수 있는 듀티 사이클 보정회로 및 보정방법이 개시된다. 반전 지연회로가 입력신호를 수신하여 입력신호를 소정시간 반전 지연시킨다. 위상혼합기가 입력신호와 반전 지연회로의 출력신호를 수신하여 입력신호의 상승에지와 반전 지연회로의 출력신호의 상승에지 사이의 중간시점에서 상승되고 입력신호의 하강에지와 반전 지연회로의 출력신호의 하강에지 사이의 중간시점에서 하강되는 출력신호를 발생한다. 반전 지연회로는 입력신호를 소정시간 지연시키는 지연회로와 소정시간 지연된 신호를 반전시키는 반전회로를 구비하고, 지연회로는 지연동기 루프 회로로 구성되는 것이 바람직하다.

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

- 도 1은 본 발명의 바람직한 제1실시예에 따른 듀티 사이클 보정회로의 블록도이다.
- 도 2는 도 1에 도시된 듀티 사이클 보정회로의 동작 타이밍도이다.
- 도 3은 도 1에 도시된 위상혼합기의 일례를 나타내는 회로도이다.
- 도 4는 도 3에 도시된 회로의 동작 타이밍도이다.
- 도 5는 도 1에 도시된 위상혼합기의 다른 예를 나타내는 회로도이다.
- 도 6은 도 5에 도시된 회로의 동작 타이밍도이다.
- 도 7은 도 1에 도시된 지연동기 루프 회로(DLL)의 일례를 나타내는 블록도이다.
- 도 8은 본 발명의 바람직한 제2실시예에 따른 듀티 사이클 보정회로의 블록도이다.
- 도 9는 도 8에 도시된 듀티 사이클 보정회로의 동작 타이밍도이다.

본 발명은 듀티 사이클 보정(Duty cycle correction)에 관한 것으로, 특히 듀티 사이클 예러를 방지할 수 있는 듀티 사이클 보정회로 및 보정방법에 관한 것이다.

디지털 클럭 응용분야에서는 클럭신호의 듀티 사이클이 정확히 제어되는 것은 매우 중요하다. 일반적으로

반도체 접점회로들의 디지털 출력 응용분야에서는 듀티 사이클이 50%인 클럭신호가 주로 사용되는 데, 듀티 사이클은 디지털 신호에 대한 진짜 부분과 로우레벨 부분의 투입비율이라는 것을 의미한다. 따라서 반도체 접점회로들은 디지털 출력 신호보다는 듀티 사이클을 50%인 출력신호를 발생시킬 때 듀티 사이클 보정회로를 사용한다. 듀티 사이클 보정회로는 듀티 사이클을 50%로 정밀하게 조절하는 회로이다. 듀티 사이클을 정밀하게 조절하는 회로는 듀티 사이클을 50%로 유지하기가 어렵다.

그런데 여러가지 형태의 종래의 듀티 사이클 보정회로들은 듀티 사이클 왜곡(Distortion), 즉 듀티 사이클 에러(Error)를 발생하며 따라서 종래의 회로들을 사용하여 정확히 50% 듀티 사이클을 유지하기가 어렵다.

듀티 사이클 보정을 위해 일반적으로 알려진 회로들은 슬루트 제한기(Slew rate limiter), 차동증폭기, 및 적분기(Integrator)를 이용한다. 대표적인 듀티 사이클 보정회로가 1999년 6월 31일 Joseph Harold Havens에게 부여되고 발명의 명칭이 'Method and apparatus for duty cycle correction'인 미국 특허 5,945,857에 개시된다. 그러나 이와 같은 듀티 사이클 보정회로에서는, 적분기의 오프셋(Offset)이 존재할 경우 이로 인하여 듀티 사이클 왜곡(Distortion), 즉 듀티 사이클 에러(Error)가 발생된다. 따라서 출력신호의 듀티 사이클이 정확히 50%로 유지되기 어렵다.

DUITI CYCLE CORRECTION CIRCUIT

따라서 본 발명이 이루고자 하는 기술적 과제는 듀티 사이클 에러를 방지할 수 있는 듀티 사이클 보정회로를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 듀티 사이클 에러를 방지할 수 있는 듀티 사이클 보정방법을 제공하는 데 있다.

제작의 구조 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일태양에 따르면, 반전 지연회로와 위상혼합기를 구비하는 듀티 사이클 보정회로가 제공된다.

상기 반전 지연회로는 입력신호를 수신하여 상기 입력신호를 소정시간 반전 지연시킨다. 상기 위상혼합기는 상기 입력신호와 상기 반전 지연회로의 출력신호를 수신하여 상기 입력신호의 상승에지와 상기 반전 지연회로의 출력신호의 상승에지 사이의 중간시점에서 상승되고 상기 입력신호의 하강에지와 상기 반전 지연회로의 출력신호의 하강에지 사이의 중간시점에서 하강되는 출력신호를 발생한다.

상기 반전 지연회로는 상기 입력신호를 상기 소정시간 지연시키는 지연회로와 상기 소정시간 지연된 신호를 반전시키는 반전회로를 구비한다.

바람직하게는 상기 지연회로는 상기 반전회로의 출력신호에 응답하여 상기 입력신호를 상기 소정시간 지연시키는 지연동기 루프 회로를 구비한다.

또한 상기 기술적 과제를 달성하기 위한 본 발명의 다른 태양에 따르면, 듀티 사이클 가변회로, 지연회로, 및 제어회로를 구비하는 듀티 사이클 보정회로가 제공된다.

상기 듀티 사이클 가변회로는, 보정된 출력신호를 발생하기 위해, 입력신호를 수신하고 제어신호에 응답하여 상기 입력신호의 듀티 사이클을 가변시킨다. 상기 지연회로는 상기 듀티 사이클 가변회로의 출력신호를 소정시간 지연시킨다. 상기 제어회로는 상기 듀티 사이클 가변회로의 출력신호의 위상과 상기 지연회로의 출력신호의 위상을 비교하고 그 비교결과에 응답하여 상기 제어신호의 전압레벨을 조절한다.

바람직하게는 상기 지연회로는, 자신의 출력신호의 반전신호에 응답하여 상기 듀티 사이클 가변회로의 출력신호를 상기 소정시간 지연시키는 지연동기 루프 회로를 구비한다. 또한 바람직하게는 상기 제어회로는, 상기 듀티 사이클 가변회로의 출력신호를 반전시키는 반전회로, 상기 반전회로의 출력신호의 위상과 상기 지연회로의 출력신호의 위상을 비교하는 위상검출기, 및 상기 위상검출기의 출력신호들에 응답하여 상기 제어신호의 전압레벨을 가변시키는 적분기를 구비한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 일태양에 따르면, 입력신호를 소정시간 반전 지연시키는 단계, 및 상기 입력신호의 상승에지와 상기 반전 지연된 신호의 상승에지 사이의 중간시점에서 상승되고 상기 입력신호의 하강에지와 상기 반전 지연된 신호의 하강에지 사이의 중간시점에서 하강되는 출력신호를 발생하는 단계를 구비하는 듀티 사이클 보정방법이 제공된다.

상기 반전 지연시키는 단계는, 상기 입력신호를 소정시간 지연시키는 단계, 및 상기 소정시간 지연된 신호를 반전시키는 단계를 구비한다.

바람직하게는 상기 지연시키는 단계는, 상기 반전된 신호의 위상과 상기 입력신호의 위상을 비교하고 그 비교결과에 응답하여 상기 입력신호를 상기 소정시간 지연시키는 단계를 구비한다.

또한 상기 다른 기술적 과제를 달성하기 위한 본 발명의 다른 태양에 따르면, 보정된 출력신호를 발생하기 위해 제어신호에 응답하여 입력신호의 듀티 사이클을 가변시키는 단계, 상기 출력신호를 소정시간 지연시키는 단계, 및 상기 출력신호의 위상과 상기 지연된 신호의 위상을 비교하고 그 비교결과에 응답하여 상기 제어신호의 전압레벨을 조절하는 단계를 구비하는 듀티 사이클 보정방법이 제공된다.

바람직하게는 상기 지연시키는 단계는, 상기 지연된 신호를 반전시키는 단계, 및 상기 반전된 신호의 위상과 상기 출력신호의 위상을 비교하고 그 결과에 응답하여 상기 출력신호를 상기 소정시간 지연시키는 단계를 구비한다.

바람직하게는 상기 조절하는 단계는, 상기 출력신호를 반전시키는 단계, 상기 반전된 출력신호의 위상과 상기 지연된 신호의 위상을 비교하는 단계, 및 상기 비교결과에 응답하여 상기 제어신호의 전압레벨을 가

변시키는 단계를 구비한다.

도 1은 본 발명의 바람직한 제1实施예에 따른 듀티 사이클 보정회로의 구조도이다.

도 1은 본 발명의 바람직한 제1实施예에 따른 듀티 사이클 보정회로의 구조도이다.

도 1은 본 발명의 바람직한 제1实施예에 따른 듀티 사이클 보정회로의 구조도이다.

도 1은 본 발명의 바람직한 제1实施예에 따른 듀티 사이클 보정회로의 구조도이다.

반전 지연회로(10)는 입력신호(IN)를 수신하고 수신된 입력신호(IN)를 소정시간 반전 지연시켜 출력신호(0B)를 출력한다. 위상혼합기(12)는 입력신호(IN)의 위상과 반전 지연회로(10)의 출력신호(0B)의 위상을 혼합하여 듀티 사이클이 보정된 출력신호(OUT)를 발생한다. 즉 위상혼합기(12)는 입력신호(IN)와 반전 지연회로(10)의 출력신호(0B)를 수신하여 입력신호(IN)의 상승에지와 반전 지연회로(10)의 출력신호(0B)의 상승에지 사이의 중간시점에서 상승되고 입력신호(IN)의 하강에지와 반전 지연회로(10)의 출력신호(0B)의 하강에지 사이의 중간시점에서 하강되는 출력신호(OUT)를 발생한다.

좀더 상세하게는 반전 지연회로(10)는 입력신호(IN)를 상기 소정시간 지연시키는 지연회로(10a)와 상기 소정시간 지연된 신호, 즉 지연회로(10a)의 출력신호(0)를 반전시키는 반전회로(10b)를 구비한다.

지연회로(10a)는 일반적인 지연기 또는 지연동기 루프 회로(Delay Locked Loop Circuit, DLL)로 구현될 수 있으며 입력신호(IN)가 고주파수일 경우에는 지연동기 루프 회로(DLL)로 구성되는 것이 바람직하다. 지연회로(10a)가 지연동기 루프 회로(DLL)로 구현될 경우에는 지연회로(10a)는 반전회로(10b)의 출력신호(0B)에 응답하여 입력신호(IN)를 상기 소정시간 지연시킨다. 즉 지연동기 루프 회로(DLL)로 구현되는 지연회로(10a)는, 반전회로(10b)의 출력신호(0B)의 위상과 입력신호(IN)의 위상을 비교하여 그 비교결과에 응답하여 입력신호(IN)를 상기 소정시간 지연시킨다.

상기 소정시간은 임의의 시간일 수 있으나 입력신호(IN)의 듀티 사이클을 보다 더 정확히 보정하기 위해서는 입력신호(IN)의 로우구간 또는 하이구간에 해당하는 시간인 것이 바람직하다.

도 2는 도 1에 도시된 듀티 사이클 보정회로의 동작 타이밍도이다. 도 2에 도시된 타이밍도는 지연회로(10a)가 지연동기 루프 회로(DLL)로 구현되고 지연회로(10a)에 의해 지연되는 시간이 입력신호(IN)의 로우구간에 해당하는 시간일 경우를 나타낸다.

도 2에 도시된 타이밍도를 참조하여 도 1에 도시된 듀티 사이클 보정회로의 동작 및 듀티 사이클 보정방법이 좀더 상세히 기술된다.

먼저 듀티 사이클이 50%가 아닌 입력신호(IN)가 지연동기 루프 회로(DLL)로 입력되면, 지연동기 루프 회로(DLL)는 입력신호(IN)의 위상과 피드백 신호, 즉 반전회로(10b)의 출력신호(0B)의 위상을 비교하고 그 비교결과에 따라 입력신호(IN)를 가변 지연시킨다. 다시말해 지연동기 루프 회로(DLL)는 락킹(Locking)될 때 까지, 즉 입력신호(IN)의 상승에지와 반전회로(10b)의 출력신호(0B)의 상승에지가 동기될 때 까지 입력신호(IN)를 가변 지연시킨다.

지연동기 루프 회로(DLL)가 락킹(Lock-ing)되면, 즉 입력신호(IN)의 상승에지와 반전회로(10b)의 출력신호(0B)의 상승에지가 동기되면, 도 2에 도시된 바와 같이 입력신호(IN)로부터 입력신호(IN)의 로우구간에 해당하는 시간(tL0H) 만큼 지연된 출력신호(0)가 지연동기 루프 회로(DLL)로부터 계속 발생된다. 이에 따라 반전회로(10b)로부터 지연동기 루프 회로(DLL)의 출력신호(0)의 위상과 반대 위상을 갖는 출력신호(0B)가 계속 발생된다. 즉 상승에지가 입력신호(IN)의 상승에지에 동기되고 또한 입력신호(IN)로부터 시간(tL0H) 만큼 반전 지연된 신호(0B)가 반전회로(10b)로부터 발생된다. 그리고 반전회로(10b)의 출력신호(0B)가 위상혼합기(12)에 제공된다.

이와 같이 상승에지가 입력신호(IN)의 상승에지에 동기되고 또한 입력신호(IN)로부터 시간(tL0H) 만큼 반전 지연된 신호(0B)를 발생시키는 이유는, 신호(0B)와 입력신호(IN) 사이의 위상차를 감소시켜 위상혼합기(12)에 의해 입력신호(IN)의 듀티 사이클을 보다 더 정확히 보정하기 위해서이다.

계속하여 입력신호(IN)의 위상과 신호(0B)의 위상이 위상혼합기(12)에 의해 혼합되어 위상혼합기(12)로부터 듀티 사이클이 보정된 출력신호(OUT)가 발생된다. 출력신호(OUT)는, 위상혼합기(12)의 동작에 의해, 입력신호(IN)의 상승에지와 신호(0B)의 상승에지 사이의 중간시점(여기에서는 도 2에 도시된 바와 같이 입력신호(IN)의 상승에지와 신호(0B)의 상승에지가 동일하므로 이를 신호의 상승에지)에서 상승되고 입력신호(IN)의 하강에지와 신호(0B)의 하강에지 사이의 중간시점에서 하강된다.

따라서 위상혼합기(12)의 출력신호(OUT)의 하이구간(tHIGH, OUT) 및 로우구간(tLOW, OUT)은 각각 다음 수학식 1 및 2로 표현될 수 있다.

$$tHIGH, OUT = tHIGH, IN - tHIGH, 0B$$

$$tLOW, OUT = tLOW, IN + tLOW, 0B$$

여기에서 tHIGH, IN 및 tLOW, IN은 각각 입력신호(IN)의 하이구간 및 로우구간을 나타내고, tHIGH, 0B 및 tLOW, 0B는 각각 반전회로(10b)의 출력신호(0B)의 하이구간 및 로우구간을 나타낸다.

한편 신호(0B)의 하이구간(tHIGH, 0B)은 입력신호(IN)의 로우구간(tLOW, IN)과 동일하고 또한 신호(0B)의 로우구간(tLOW, 0B)은 입력신호(IN)의 하이구간(tHIGH, IN)과 동일하므로, 수학식 1 및 2는 각각 다음 수학

식 3 및 4로 표현될 수 있다.

CHARTER MEMBER OF THE AMERICAN ASSOCIATION FOR THE ADVANCEMENT OF SCIENCE

17. *Leucosia* *leucostoma* *leucostoma* *leucostoma* *leucostoma*

한편, 대상이 되는 자연환경(1)은 무프 회로(DLL)에 의해 그 현도는 시간, 집계, 조수, 대로 우수구간(DLN)에 해당하는 시간인 결우의 듀티 바이너리 보정회로의 출력에 대해 성명되었다. 10분간, 자연동기 무프 회로(DLL)의 구성은 변경함으로써 자연동기 무프 회로(DLL)에 의해 입력신호(DIN)의 우수구간에 해당하는 시간 만큼 지연될 수 있음을 자명하며, 이 경우에도 위상합성기(12)의 출력신호(OUT)의 듀티 바이너리를 정확히 50%가 된다. 또한, 편집에 따라 반전회로(10b)의 출력단과 자연동기 무프 회로(DLN)의 입력단 사이에 보상지연기가 개설될 수 있으며, 이 경우에도 위상합성기(12)의 출력신호(OUT)의 듀티 바이너리를 정확히 50%가 된다.

상술한 바와 같이 본 발명의 제1실시예에 따른 듀티 싸이클 보정회로는 적분기급 이용하지 않고 자연회로와 위상합성기를 이용한다. 따라서 본 발명의 제1실시예에 따른 듀티 싸이클 보정회로에는 적분기의 오프셋과 같은 듀티 싸이클 예러의 원인이 존재하지 않는다. 따라서 본 발명의 제1실시예에 따른 듀티 싸이클 보정회로는 듀티 싸이클 예러를 방지할 수 있으며 정확히 50% 듀티 싸이클을 갖는 출력신호를 발생할 수 있는 장점이 있다.

도 3은 도 1에 도시된 위상혼합기의 일례를 나타내는 회로도이고, 도 4는 도 3에 도시된 회로의 동작 단계이다. 여기에서 신호(IN)는 도 1에 도시된 입력신호(IN)에 해당하고 신호(0B)는 도 1에 도시된 반전 지역회로(10)의 출력신호(0B)에 해당한다. 또한 신호(OUT)는 도 1에 도시된 출력신호(OUT)에 해당한다.

도 3을 참조하면, 위상혼합기(12A)는 각각의 출력단이 노드(Z)에 공통 접속되는 인버터들(30,32)과 입력 단이 노드(Z)에 접속되는 인버터(34)를 구비한다.

인버터(30)의 입력단을 통해 신호(IN)이 수신되고 인버터(32)의 입력단을 통해 신호(OB)가 수신되면 이 두신호들의 위상들이 혼합된 신호(OUT)가 인버터(34)의 출력단으로부터 출력된다. 즉 인버터들(30,32,34)의 지역시간이 존재하지 않는다고 가정할 경우, 신호(IN)의 상승에지와 신호(OB)의 상승에지 사이의 중간 시점에서 상승되고 신호(IN)의 하강에지와 신호(OB)의 하강에지 사이의 중간시점에서 하강되는 신호(OUT)가 인버터(34)의 출력단으로부터 출력된다. 그러나 실질적으로는 인버터들(30,32,34)의 지역시간이 존재하므로, 두 4에 도시된 바와 같이 신호(OUT)는 인버터들(30,32,34)의 지역시간 만큼 지연된 후 인버터(34)의 출력단으로부터 출력된다.

도 5는 도 1에 도시된 위상洵합기의 다른 예를 나타내는 회로도이고, 도 6은 도 5에 도시된 회로의 동작 타이밍도이다. 여기에서 신호(IN)는 도 1에 도시된 입력신호(IN)에 해당하고 신호(0B)는 도 1에 도시된 반간 지연회로(10)의 출력신호(0B)에 해당한다. 또한 신호(OUT)는 도 1에 도시된 출력신호(OUT)에 해당한다.

도 5를 참조하면, 위상조합기(11B)는 제1슬루율 한정기(Slew Rate Limiter)(50), 제2슬루율 한정기(52),
밀착증폭기(54)를 구비한다.

제1슬루율 한정기(50)는 신호(IN)의 슬루율을 한정하고 제2슬루율 한정기(52)는 신호(OB)를 한정한다. 차동증폭기(54)는 제2슬루율 한정기(52)의 출력신호(ZZ)을 기준으로 하여 제1슬루율 한정기(50)의 출력신호(Z1)을 차동증폭하여 그 결과를 출력신호(OUT)로서 출력한다.

도 30에 도시된 위상혼합기에서와 마찬가지로, 제1 및 제2슬루를 한정기(50,52) 및 차동증폭기(54)의 자연시간이 존재하지 않는다고 가정할 경우, 신호(IN)의 상승에지와 신호(0B)의 상승에지 사이의 중간시점에서 상승되고 신호(IN)의 하강에지와 신호(0B)의 하강에지 사이의 중간시점에서 하강되는 신호(0UT)가 차동증폭기(54)의 출력단으로부터 출력된다. 그러나 실질적으로는 제1 및 제2슬루를 한정기(50,52) 및 차동증폭기(54)의 자연시간이 존재하므로, 도 6에 도시된 바와 같이 신호(0UT)는 제1 및 제2슬루를 한정기(50,52) 및 차동증폭기(54)의 자연시간 만큼 지연된 후 차동증폭기(54)의 출력단으로부터 출력된다.

도 7은 도 1에 도시된 지역동기 루프 회로(DLL)의 일례를 나타내는 블록도이다. 여기에서 신호(IN)는 도 1에 도시된 입력신호(IN)에 해당하고 신호(0)는 도 1에 도시된 신호(0)에 해당한다. 또한 신호(OB)는 신호(0)의 반전신호로서 도 1에 도시된 반전회로(10b)의 출력신호(OB)에 해당한다.

도 7을 참조하면, 지연동기 무프 회로(10a)는, 위상검출기(70), 전하펌프 회로(72), 및 전압제어 지연라인(Voltage Controlled Delay Line)(74)를 구비한다.

위상검출기(70)는 신호(IN)의 위상과 신호(OB)의 위상을 비교한다. 전하펌프 회로(72)는 위상 비교결과를 나타내는 위상검출기(70)의 출력신호를(UP,DOWN)에 응답하여 제어신호(VCON)의 전압레벨을 가변시킨다. 전압제어 지연라인(74)은 제어신호(VCON)에 응답하여 신호(IN)을 지연시켜 그 결과를 신호(O)로서 출력한다.

상기와 같이 신호(0)의 반전신호, 즉 신호(0B)가 피드백 신호로서 사용되는 경우에는, 상술한 바와 같이 저연동기 무프 회로(10a)가 블록킹(Locking)되면, 즉 신호(1N)의 상승에 저와 신호(0B)의 상승에 저지가 동기되면, 도 2의 타이밍도표에 도시된 바와 같이 신호(1N)로부터 신호(1N)의 로우구간에 해당하는 시간(tLW) 만큼 저연된 신호(1A)가 전자적으로 저연되어(74)로부터 발생된다.

한편, 신호(1N)의 반전신호와 겹침제거, 자연라인(74)의 출력신호(0)가 위상검출기(70)에 입력되도록 구성된다. 예를 들어, 신호(1N)로부터 신호(1N)의 하이구간에 해당하는 시간(THIGH) 만큼 자연된 출력신호(0)가

전압제어 지연라인(74)로부터 발생된다.

이상에서 설명한 도 3 및 도 5에 도시된 위상합성기들과 도 7에 도시된 지연등기 무프 회로는 통상적이고
제어적인 것들에 그치지 않고, 그들로부터 다양한 변형이 가능한 것은 자명하다.

도 8은 본 명세의 제1실시예에서 도 9와 같은 듀티 싸이클 보정회로의 구조이다.

도 8을 참조하면, 본 명세의 제1실시예에서 같은 듀티 싸이클 보정회로는 듀티 싸이클 가변회로(80), 지연 회로(10a), 및 제어회로(82)를 구비한다.

듀티 싸이클 가변회로(80)는, 보정된 출력신호(OUT)를 발생하기 위해 입력신호(IN)를 수신하고 제어신호(Vc)에 응답하여 입력신호(IN)의 듀티 싸이클을 가변시킨다. 듀티 싸이클 가변회로(80)는 슬루를 한정기(80a)와 차동증폭기(80b)를 구비한다. 슬루를 한정기(80a)는 입력신호(IN)의 슬루율을 한정하고, 차동증폭기(80b)는 제어신호(Vc)를 기준으로 하여 슬루율 한정기(80a)의 출력신호(INS)를 차동증폭하여 그 결과를 출력신호(OUT)로서 출력한다.

지연회로(10a)는 도 1에 도시된 것과 동일하며 듀티 싸이클 가변회로(80)의 출력신호(OUT)를 소정시간 지연시켜 출력신호(0)를 출력한다. 도 1에 도시된 제1실시예에서와 마찬가지로 지연회로(10a)는 일반적인 지연기 또는 지연동기 루프 회로(DLL)로 구현될 수 있으며 입력신호(IN)가 고주파수일 경우에는 지연동기 루프 회로로 구현되는 것이 바람직하다.

제어회로(82)는 듀티 싸이클 가변회로(80)의 출력신호(OUT)의 위상과 지연회로(10a)의 출력신호(0)의 위상을 비교하고 그 비교결과에 응답하여 제어신호(Vc)의 전압레벨을 조절한다. 상세하게는 제어회로(82)는 반전회로(82a), 위상검출기(82b), 및 적분기(82c)를 구비한다. 적분기(82c)는 전하펌프 회로 또는 저역통과 필터로 구현될 수 있다. 반전회로(82a)는 듀티 싸이클 가변회로(80)의 출력신호(OUT)를 반전시킨다. 위상검출기(82b)는 반전회로(82a)의 출력신호의 위상과 지연회로(10a)의 출력신호(0)의 위상을 비교한다. 적분기(82c)는 위상검출기(82b)의 출력신호를 UP, DOWN에 응답하여 제어신호(Vc)의 전압레벨을 가변시킨다.

따라서 제어회로(82)는, 듀티 싸이클 가변회로(80)의 출력신호(OUT)의 하강에지와 지연회로(10a)의 출력신호(0)의 상승에지가 동기될 때 까지 제어신호(Vc)의 전압레벨을 가변시킨다.

한편 지연회로(10a)가 지연동기 루프 회로(DLL)로 구현될 경우에는, 지연회로(10a)는 자신의 출력신호(0)의 반전신호(OB)에 응답하여 듀티 싸이클 가변회로(80)의 출력신호(OUT)를 상기 소정시간 지연시킨다. 즉 지연동기 루프 회로(DLL)로 구성되는 지연회로(10a)는, 출력신호(0)의 반전신호(OB)의 위상과 듀티 싸이클 가변회로(80)의 출력신호(OUT)의 위상을 비교하여 그 비교결과에 응답하여 듀티 싸이클 가변회로(80)의 출력신호(OUT)를 상기 소정시간 지연시킨다.

또한 도 1에 도시된 제1실시예에서와 마찬가지로 상기 소정시간은 임의의 시간일 수 있으나 듀티 싸이클을 보다 더 정확히 보정하기 위해서는 듀티 싸이클 가변회로(80)의 출력신호(OUT)의 로우구간 또는 하이구간에 해당하는 시간인 것이 바람직하다.

도 9는 도 8에 도시된 듀티 싸이클 보정회로의 동작 타이밍도이다. 도 9에 도시된 타이밍도는 지연회로(10a)가 지연동기 루프 회로(DLL)로 구성되고 지연회로(10a)에 의해 지연되는 시간이 듀티 싸이클 가변회로(80)의 출력신호(OUT)의 로우구간에 해당하는 시간일 경우이다.

도 9에 도시된 타이밍도를 참조하여 도 8에 도시된 듀티 싸이클 보정회로의 동작 및 듀티 싸이클 보정방법이 좀더 자세히 기술된다.

먼저 듀티 싸이클이 50%가 아닌 입력신호(IN)가 듀티 싸이클 가변회로(80)로 입력되면, 슬루를 한정기(80a)가 입력신호(IN)의 슬루율을 한정하고 차동증폭기(80b)가 제어신호(Vc)를 기준으로 하여 슬루율 한정기(80a)의 출력신호(INS)를 차동증폭하여 그 결과를 출력신호(OUT)로서 출력한다.

듀티 싸이클 가변회로(80)의 출력신호(OUT)가 지연동기 루프 회로(DLL)로 입력되면, 지연동기 루프 회로(DLL)는 듀티 싸이클 가변회로(80)의 출력신호(OUT)의 위상과 피드백 신호, 즉 자신의 출력신호(0)의 반전신호(OB)의 위상을 비교하고 그 비교결과에 따라 듀티 싸이클 가변회로(80)의 출력신호(OUT)를 가변시킨다. 다시 말해 지연동기 루프 회로(DLL)는 락킹될 때 까지, 즉 듀티 싸이클 가변회로(80)의 출력신호(OUT)의 상승에지와 자신의 출력신호(0)의 하강에지가 동기될 때 까지 듀티 싸이클 가변회로(80)의 출력신호(OUT)를 가변시킨다.

지연동기 루프 회로(DLL)가 락킹되면, 즉 듀티 싸이클 가변회로(80)의 출력신호(OUT)의 상승에지와 지연동기 루프 회로(DLL)의 출력신호(0)의 하강에지가 동기되면, 도 9에 도시된 바와 같이 신호(OUT)로부터 신호(OUT)의 로우구간에 해당하는 시간(tLOW) 만큼 지연된 신호(0)가 지연동기 루프 회로(DLL)로부터 계속 발생된다.

또한 제어회로(82)는 듀티 싸이클 가변회로(80)의 출력신호(OUT)의 위상과 지연동기 루프 회로(DLL)의 출력신호(0)의 위상을 비교하고 그 비교결과에 응답하여 제어신호(Vc)의 전압레벨을 조절한다. 좀더 상세하게는 제어회로(82)는, 듀티 싸이클 가변회로(80)의 출력신호(OUT)의 하강에지, 즉 반전회로(82a)의 출력신호(OUTB)의 상승에지와 지연동기 루프 회로(DLL)의 출력신호(0)의 상승에지가 동기될 때 까지 제어신호(Vc)의 전압레벨을 조절한다.

듀티 싸이클 가변회로(80)의 출력신호(OUT)의 하강에지, 즉 반전회로(82a)의 출력신호(OUTB)의 상승에지와 지연동기 루프 회로(DLL)의 출력신호(0)의 상승에지가 동기되면(도 9의 T시점), 제어신호(Vc)의 전압레벨은 일정해 진다. 따라서 T시점부터 듀티 싸이클 가변회로(80)의 출력신호(OUT)의 듀티 싸이클은 정확이 50%가 된다.

제어신호(Vc)의 전압레벨의 변화에 따른 듀티 싸이클 가변회로(80)의 출력신호(OUT)의 변화를 설명하면 다음과 같다. 제어신호(Vc)의 전압레벨의 변화에 의해 듀티 싸이클 가변회로(80)의 출력신호(OUT)의 로우

구간($t_{LCB,CUT}$)이 0만큼 커지게 될 경우, 출력신호(OUT)의 하이구간($t_{HIGH,CUT}$) 및 로우구간($t_{LOW,CUT}$)은 각각 다음 수학식 5 및 6으로 표현될 수 있다.

제작된 저작물은 저작권법에 따라 저작자의 권리로 보호되며, 저작권자는 저작물을 출판하거나 배포하는 행위를 통해 저작권을 행사할 수 있다.

WILCOX - DOWD - HORN

따라서 수학식 5 및 6을 수학식 7에 대입하면 다음 수학식 8 및 9가 성립된다.

$$HIGHJN + \delta = LOWJN + \delta$$

$$\delta = (\text{HIGH} - \text{LOW}) / 2$$

또한 수학식 9를 수학식 5 및 6에 대입하면, 수학식 5 및 6은 각각 다음 수학식 10 및 11로 표현될 수 있다.

$$HIGH_OUT = HIGH_IN + \delta = (HIGH_IN + \delta_OW) / 2 \in [0, C]$$

$$dOW_{OUT} = dOW_{IN} - \delta = (dHCH_{IN} + dOW_{IN})/2 = dC_{IN}$$

여기에서 tCC는 입력신호(IN)의 주기(tCC)를 나타낸다. 따라서 듀티 사이클 가변회로(60)의 출력신호(OUT)의 듀티 사이클은 정확히 50%가 된다.

한편 이상에서는 지연동기 무프 회로(DLL)에 의해 지연되는 시간이 둑티 싸이클 가변회로(80)의 출력신호(OUT)의 로우구간(tLOW)에 해당하는 시간인 경우에 대해 설명되었다. 그러나 지연동기 루프 회로(DLL)의 구성을 변경함으로써 지연동기 루프 회로(DLL)에 의해 둑티 싸이클 가변회로(80)의 출력신호(OUT)의 하이구간에 해당하는 시간 만큼 지연될 수 있음을 자명하며, 이 경우에도 둑티 싸이클 가변회로(80)의 출력신호(OUT)의 둑티 싸이클은 정확히 50%가 된다. 또한 필요에 따라 반전 출력신호(0B)가 출력되는 지연동기 루프 회로(DLL)의 반전 출력단과 지연동기 무프 회로(DLL)의 입력단 사이에 보상지연기가 개재될 수 있으며, 이 경우에도 둑티 싸이클 가변회로(80)의 출력신호(OUT)의 둑티 싸이클은 정확히 50%가 된다.

상술한 바와 같이 본 발명의 제2실시예에 따른 듀티 싸이클 보정회로는 듀티 싸이클을 가변회로(80)와 지연회로(100), 및 듀티 싸이클 가변회로(80)를 제어하는 제어회로(82)를 이용한다. 그런데 제2실시예에 따른 듀티 싸이클 보정회로에서는, 제어회로(82)에 적분기(82c)가 포함되어 있으나 적분기(82c)로 입력되는 위상검출기(82b)의 출력신호를 (UP, DOWN)이 같은 폴스를 가지므로 적분기(82c)의 오프셋이 거의 존재하지 않는다. 따라서 본 발명의 제2실시예에 따른 듀티 싸이클 보정회로는 듀티 싸이클 어려움 방지할 수 있으며 점활화 50% 듀티 싸이클을 갖는 출력신호를 발생할 수 있는 장점이 있다.

미상에서 서와 같이 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 특허분야의 기술적 사상에 의해 정해져야 할 것이다.

간술한 바와 같이 본 발명에 따르면 두티 사이를 보정회로 및 보정방법은, 두티 사이를 예리를 방지할 수 정확히 50% 두티 사이를 갖는 출입구를 발생할 수 있는 출입구가 있다.

151117Z NOV 09

청구항 1. 입력신호의 드디어 사이클을 보정하는 회로에 있어서,

상기 입력신호를 수신하여 상기 입력신호를 소정시간 반전 지연시키는 반전 지연회로; 및
상기 입력신호와 상기 반전 지연회로의 출력신호를 수신하여 상기 입력신호의 상승에지와 상기 반전 지연
회로의 출력신호의 상승에지 사이의 중간시점에서 상승되고 상기 입력신호의 하강에지와 상기 반전 지연
회로의 출력신호의 하강에지 사이의 중간시점에서 하강되는 출력신호를 발생하는 위상혼합기를 구비하는

리그는 6~7월에 열리며, 시리즈 베스트 7경기로는

상수증 2. 세대별에 따라서, 성기 단순 세균화로는, 상리 미립시아로, 상리 소정시아로 치열시라는 질연으로서 미

상기 소정시간 지연된 신호를 반전시키는 반전회로를 구비하는 것을 특징으로 하는 듀티 바이пас 보정회

청구항 3. 제2항에 있어서, 상기 지연회로는,

상기 반전회로의 출력신호에 응답하여 상기 입력신호를 상기 소정시간 지연시키는 지연동기 루프 회로를 구비하는 것을 특징으로 하는 듀티 싸이클 보정회로.

청구항 4. 제2항에 있어서, 상기 출력신호를 상기 입력신호에 대비하여 상기 출력신호의 위상과 상기 출력신호에 해당하는 시간인 것을 특징으로 하는 듀티 싸이클 보정회로.**청구항 5.** 입력신호의 듀티 싸이클을 보정하는 회로에 있어서,

보정된 출력신호를 발생하기 위해 상기 입력신호를 수신하고 제어신호에 응답하여 상기 입력신호의 듀티 싸이클을 가변시키는 듀티 싸이클 가변회로;

상기 듀티 싸이클 가변회로의 출력신호를 소정시간 지연시키는 지연회로; 및

상기 듀티 싸이클 가변회로의 출력신호의 위상과 상기 지연회로의 출력신호의 위상을 비교하고 그 비교결과에 응답하여 상기 제어신호의 전압레벨을 조절하는 제어회로를 구비하는 것을 특징으로 하는 듀티 싸이클 보정회로.

청구항 6. 제5항에 있어서, 상기 지연회로는,

자신의 출력신호의 반전신호에 응답하여 상기 듀티 싸이클 가변회로의 출력신호를 상기 소정시간 지연시키는 지연동기 루프 회로를 구비하는 것을 특징으로 하는 듀티 싸이클 보정회로.

청구항 7. 제6항에 있어서, 상기 소정시간은 상기 듀티 싸이클 가변회로의 출력신호의 로우구간 및 하이구간중 선택된 어느 하나에 해당하는 시간인 것을 특징으로 하는 듀티 싸이클 보정회로.**청구항 8.** 제5항에 있어서, 상기 제어회로는, 상기 듀티 싸이클 가변회로의 출력신호의 에지와 상기 지연회로의 출력신호의 에지가 동기될 때 까지 상기 제어신호의 전압레벨을 가변시키는 것을 특징으로 하는 듀티 싸이클 보정회로.**청구항 9.** 제8항에 있어서, 상기 제어회로는,

상기 듀티 싸이클 가변회로의 출력신호를 반전시키는 반전회로;

상기 반전회로의 출력신호의 위상과 상기 지연회로의 출력신호의 위상을 비교하는 위상검출기; 및

상기 위상검출기의 출력신호들에 응답하여 상기 제어신호의 전압레벨을 가변시키는 적분기를 구비하는 것을 특징으로 하는 듀티 싸이클 보정회로.

청구항 10. 입력신호의 듀티 싸이클을 보정하는 방법에 있어서,

상기 입력신호를 소정시간 반전 지연시키는 단계; 및

상기 입력신호의 상승에지와 상기 반전 지연된 신호의 상승에지 사이의 중간시점에서 상승되고 상기 입력신호의 하강에지와 상기 반전 시연된 신호의 하강에지 사이의 중간시점에서 하강되는 출력신호를 발생하는 단계를 구비하는 것을 특징으로 하는 듀티 싸이클 보정방법.

청구항 11. 제10항에 있어서, 상기 반전 지연시키는 단계는,

상기 입력신호를 소정시간 지연시키는 단계; 및

상기 소정시간 지연된 신호를 반전시키는 단계를 구비하는 것을 특징으로 하는 듀티 싸이클 보정방법.

청구항 12. 제11항에 있어서, 상기 지연시키는 단계는,

상기 반전된 신호의 위상과 상기 입력신호의 위상을 비교하고 그 비교결과에 응답하여 상기 입력신호를 상기 소정시간 지연시키는 단계를 구비하는 것을 특징으로 하는 듀티 싸이클 보정방법.

청구항 13. 입력신호의 듀티 싸이클을 보정하는 방법에 있어서,

보정된 출력신호를 발생하기 위해 제어신호에 응답하여 상기 입력신호의 듀티 싸이클을 가변시키는 단계; 상기 출력신호를 소정시간 지연시키는 단계; 및

상기 출력신호의 위상과 상기 지연된 신호의 위상을 비교하고 그 비교결과에 응답하여 상기 제어신호의 전압레벨을 조절하는 단계를 구비하는 것을 특징으로 하는 듀티 싸이클 보정방법.

청구항 14. 제13항에 있어서, 상기 지연시키는 단계는,

상기 지연된 신호를 반전시키는 단계;

상기 반전된 신호의 위상과 상기 출력신호의 위상을 비교하고 그 결과에 응답하여 상기 출력신호를 상기 소정시간 지연시키는 단계를 구비하는 것을 특징으로 하는 듀티 싸이클 보정방법.

청구항 15. 제13항에 있어서, 상기 조절하는 단계는,

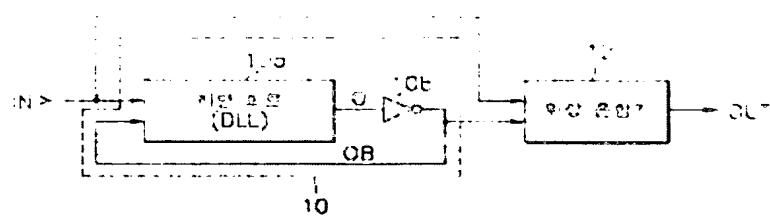
상기 출력신호의 에지와 상기 지연된 신호의 에지가 동기될 때 까지 상기 제어신호의 전압레벨을 가변시키는 단계를 구비하는 것을 특징으로 하는 듀티 싸이클 보정방법.

청구항 16. 제13항에 있어서, 상기 조절하는 단계는,

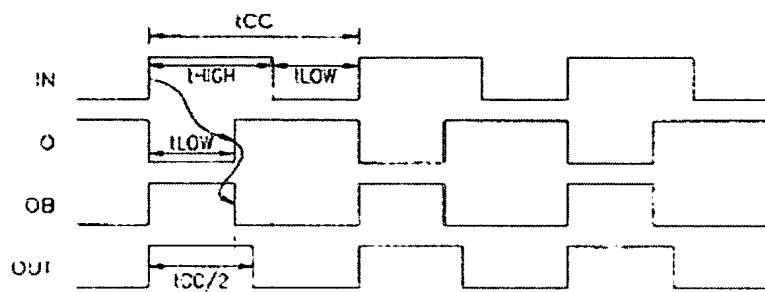
상기 출력신호를 반전시키는 단계;

상기 반전된 출력신호의 위상과 상기 지연된 신호의 위상을 비교하는 단계; 및

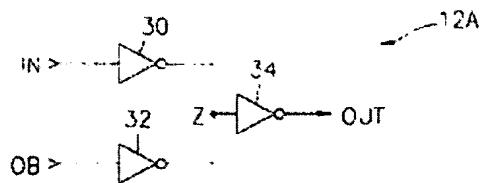
상기 비교결과에 응답하여 상기 제어신호의 전압레벨을 가변시키는 단계를 구비하는 것을 특징으로 하는
듀티 사이클 보정방법.



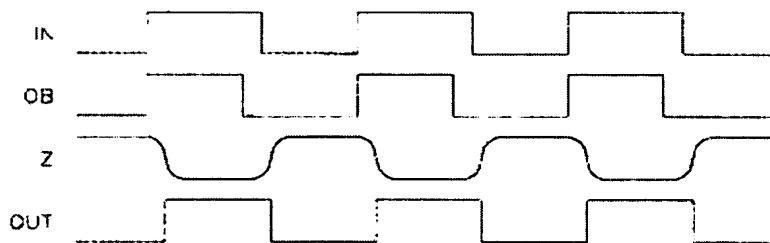
도면 10



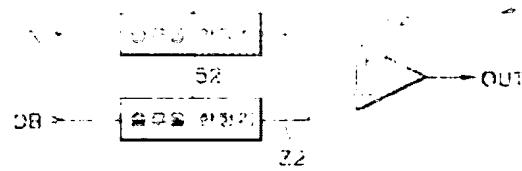
도면 11



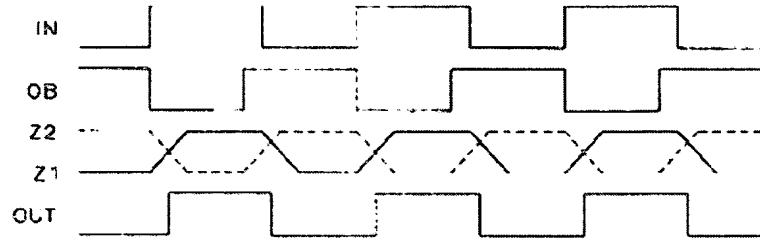
도면 12



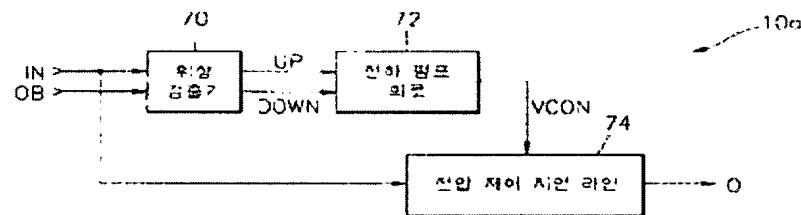
5745



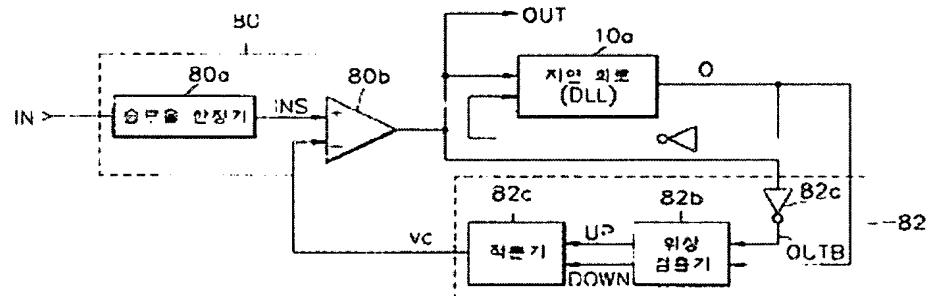
5746



5747



5748



2001-0095537

